

① RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

⑪ N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 768 575

⑫ N° d'enregistrement national : 97 11610

⑤ Int Cl⁶ : H 03 K 5/26

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫ Date de dépôt : 12.09.97.

③ Priorité :

④ Date de mise à la disposition du public de la
demande : 19.03.99 Bulletin 99/11.

⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥ Références à d'autres documents nationaux
apparentés :

⑦ Demandeur(s) : SGS THOMSON MICROELECTRO-
NICS SA SOCIETE ANONYME — FR.

⑦ Inventeur(s) : HANRIAT STEPHANE.

⑦ Titulaire(s) :

⑦ Mandataire(s) : CABINET DE BEAUMONT.

⑤ PROCÉDE DE MESURE DE DELAI TEMPOREL ET CIRCUIT METTANT EN OEUvre LE PROCÉDE.

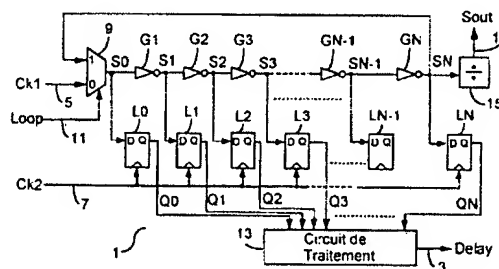
⑦ L'invention concerne un procédé pour mesurer un dé-
calage temporel entre des fronts dans des premier et
deuxième signaux logiques (Ck1, Ck2). Il comprend les éta-
pes suivantes :

- fournir le premier signal (Ck1) à un ensemble de portes
logiques montées en série, de sorte à propager un front
dans l'ensemble de portes lorsqu'un front apparaît dans le
premier signal, et

- lorsqu'un front apparaît dans le deuxième signal,
échantillonner des signaux produits par ces portes,

- déterminer, dans les signaux échantillonnés, la posi-
tion du front qui s'est propagé, cette position étant représen-
tative du décalage temporel entre les fronts dans les
premier et deuxième signaux.

L'invention concerne également un circuit (1) pour me-
surer le décalage temporel entre des fronts dans les premier
et deuxième signaux (Ck1, Ck2).



FR 2 768 575 - A1



Procédé de mesure de délai temporel
et circuit mettant en oeuvre le procédé.

L'invention concerne le domaine des circuits intégrés. Elle concerne plus particulièrement la détermination du décalage temporel entre des deux signaux logiques, autrement dit du décalage temporel entre des fronts dans ces signaux logiques.

5 La production de circuits intégrés comprend généralement des étapes de test des circuits fabriqués. La fabrication peut elle-même être, éventuellement, destinée à des fins de test, quand il s'agit de valider un nouveau circuit ou de transférer la fabrication d'un circuit d'une technologie éprouvée vers une nouvelle technologie.

10 Ces tests sont habituellement de deux types : les tests structurels, d'une part, et les tests fonctionnels, d'autre part.

Les tests structurels ont pour objet de vérifier que les circuits ne présentent pas de défauts physiques les rendant inopérants, ces défauts étant indépendants des applications des circuits.

15 Les tests fonctionnels ont pour objet de vérifier, pour les circuits ne présentant pas de défauts physiques, que ces circuits fonctionnent correctement pour les applications auxquelles ils sont destinés.

Dans le cadre des tests fonctionnels, on peut être amené à mesurer des délais temporels internes aux circuits testés.

20 Ces délais peuvent concerner, par exemple, les temps d'accès à des dispositifs internes aux circuits tels que des mémoires. On peut aussi être amené à mesurer le délai entre deux signaux logiques. Ainsi, on pourra vouloir vérifier le décalage entre les fronts de deux signaux d'horloge utilisés dans un même circuit. On pourra également vouloir vérifier le temps de propagation d'un signal dans des portes logiques. Par exemple, si un nouveau procédé de fabrication est utilisé, on souhaite
25 généralement déterminer des délais typiques, tels que les délais de traversée d'inverseurs logiques. La détermination de ces délais est importante, car ils vont déterminer la fréquence de fonctionnement pouvant être atteinte par les circuits fabriqués.

30 Les tests, généralement pilotés par des machines de test automatiques, peuvent être réalisés avant encapsulation, par le biais de sondes permettant d'accéder aux plots d'accès du circuit. Ils peuvent également être réalisés après encapsulation, en accédant au circuit par le biais de ses broches d'accès.

Comme on cherche de plus en plus à diminuer la surface des circuits tout en augmentant l'intégration des circuits et leur fréquence de fonctionnement, cette méthode a plusieurs inconvénients.

5 Tout d'abord, en pratique, le nombre d'entrées et de sorties des circuits n'augmente pas proportionnellement à la complexité grandissante de ces circuits. La diminution des résolutions minimales de fabrication permet de disposer de circuits de plus en plus complexes, à surface égale, alors que le nombre de plots augmente peu. En effet, ce nombre de plots est fonction du type de boîtier dans lequel doit être inséré le circuit. Or, la taille des broches doit être suffisamment importante pour permettre
10 d'assurer un soudage fiable de ses broches et, proportionnellement, cette taille diminue moins vite que les résolutions minimales de fabrication. Comme, par ailleurs, on souhaite généralement limiter la surface des circuits, cela se traduit par un accroissement du nombre de circuits internes non accessibles directement depuis l'extérieur des circuits.

15 Il se pose donc, lors des tests, un problème d'accès aux éléments internes des circuits. Cela est d'autant plus vrai pour les circuits comprenant, par exemple, des processeurs internes mettant en oeuvre des périphériques sans relation avec l'extérieur, tels que des mémoires de programmes ou des mémoires dynamiques.

Un autre problème provient de la volonté de disposer de circuits de plus en plus performants en terme de fréquence de fonctionnement. On est donc amené à mesurer
20 des délais temporels de plus en plus courts. Cela revient, en pratique, à utiliser des appareils de test à large bande passante, aptes à échantillonner des signaux aux fréquences de fonctionnement des circuits, ces fréquences pouvant atteindre plusieurs centaines de mégahertz. Cela pose des problèmes de réalisation des appareils de test,
25 par exemple au niveau des sondes permettant d'accéder aux plots ou broches des circuits.

Un autre problème provient de la présence éventuelle de circuits internes fonctionnant à une fréquence de fonctionnement supérieure à celle des circuits internes d'interface avec l'extérieur. Les circuits internes d'interface sont, généralement,
30 dimensionnés par rapport aux charges qu'ils doivent supporter sur les plots ou broches d'entrée et de sortie. On a tendance à utiliser des circuits tampons aptes à fournir des courants importants mais dont les performances, en terme de fréquence de fonctionnement, sont limitées, sous peine de devoir supporter une consommation très importante. Par contre, pour réaliser les circuits internes logiques, on peut utiliser des
35 fréquences plus importantes, les charges supportées par ces circuits étant généralement faibles. Si cela est le cas, on pourra difficilement mesurer des délais liés à

ces circuits logiques internes puisque, même si on peut accéder à ces circuits par le biais des plots ou broches, on sera limité en fréquence par les circuits d'interface.

Un but de l'invention est de proposer un procédé de mesure de délai temporel amélioré, qui permette de s'affranchir du problème de bande passante lié aux appareils de test et aux circuits d'interface des circuits intégrés.

Un autre but de l'invention est de proposer un procédé qui ne nécessite pas de dispositifs internes utilisant une surface importante du circuit dans lequel on réalise la mesure.

Ainsi, l'invention propose un procédé pour mesurer un décalage temporel entre des fronts dans des premier et deuxième signaux logiques. Il comprend les étapes suivantes :

- fournir le premier signal logique à un ensemble de portes logiques montées en série, de sorte à propager un front dans l'ensemble de portes logiques lorsqu'un front apparaît dans le premier signal logique, et

- lorsqu'un front apparaît dans le deuxième signal logique, échantillonner des signaux produits par ces portes logiques, et

- déterminer, dans les signaux échantillonnés, la position du front qui s'est propagé, cette position étant représentative du décalage temporel entre les fronts dans les premier et deuxième signaux logiques.

Selon un mode de réalisation, il comprend une étape de rebouclage de tout ou partie des portes logiques pour former un oscillateur en anneau et produire un signal oscillant dont la fréquence est représentative d'un temps de traversée unitaire de ces portes logiques.

L'invention concerne également un circuit pour mesurer un décalage temporel entre des fronts dans des premier et deuxième signaux logiques. Il comprend :

- un ensemble de N portes logiques montées en série, N étant un nombre entier, lesdites portes logiques comprenant au moins une entrée pour recevoir un signal logique d'entrée et une sortie pour produire un signal logique de sortie dont l'état est représentatif de l'état du signal d'entrée, ledit ensemble recevant le premier signal logique et,

- des moyens d'échantillonnage reliés aux sorties des portes logiques pour échantillonner tout ou partie des signaux logiques produits en sortie des portes logiques, l'échantillonnage étant piloté par le deuxième signal logique.

Selon un mode de réalisation, des moyens d'échantillonnage sont reliés aux sorties de toutes les portes logiques, de sorte que toutes les portes logiques supportent

une charge équivalente sur leur sortie, que les signaux produits par ces portes soient échantillonnés ou non.

Selon un mode de réalisation, il comprend des moyens de multiplexage pour fournir, à la chaîne de portes logiques, le premier signal ou l'un des signaux de sortie produits dans la chaîne, de sorte à pouvoir former un oscillateur en anneau par rebouclage d'un nombre impair de portes logiques.

Selon un mode de réalisation, il comprend un circuit diviseur de fréquence pour produire un signal oscillant de sortie lorsque l'on forme un oscillateur en anneau, ledit signal oscillant étant produit en divisant la fréquence d'un signal oscillant produit par l'oscillateur en anneau.

Selon un mode de réalisation, il comprend un circuit de traitement pour produire un signal de sortie à partir des signaux échantillonnés, ce circuit de traitement étant agencé de sorte à minimiser le nombre de signaux de sortie du circuit.

Selon un mode de réalisation, le circuit de traitement est un circuit de codage comprenant des moyens pour déterminer la position d'un motif représentatif du décalage temporel à déterminer et pour coder cette position en logique hexadécimale.

Selon un mode de réalisation, le circuit de traitement est un circuit de conversion parallèle - série.

Selon un mode de réalisation, les moyens d'échantillonnage comprennent des bascules de type D ayant une entrée de commande pour recevoir le deuxième signal logique.

Selon un mode de réalisation, les portes logiques sont des inverseurs.

D'autres avantages et particularités apparaîtront à la lecture de la description qui suit d'un exemple de réalisation de l'invention, à lire conjointement aux dessins annexés dans lesquels :

- la figure 1 illustre un exemple de circuit selon l'invention,
- les figures 2a à 2d illustrent un exemple de chronogrammes de signaux logiques produits ou reçus par le circuit de la figure 1.

La figure 1 illustre un exemple de circuit 1 mettant en oeuvre l'invention.

Le circuit 1 est utilisé pour produire, sur une sortie 3, un signal logique de sortie Delay représentatif d'un délai temporel entre deux signaux logiques d'entrée Ck1 et Ck2, reçus sur des entrées 5 et 7. Les signaux étant de type logique, ledit délai temporel correspondra à un délai entre les apparitions de fronts dans ces deux signaux. Les signaux Ck1 et Ck2 seront par exemple des signaux d'horloge. Dans la suite de la description, on supposera à titre d'exemple que le signal Ck2 est un signal d'horloge produit à partir du signal Ck1. Le circuit 1 sera utilisé pour calculer le retard du signal

Ck2 par rapport au signal Ck1. Dans l'exemple, ledit retard sera un retard entre les fronts du signal Ck1 et les fronts descendants du signal Ck2.

Les signaux sont des signaux logiques pouvant prendre deux états, un état haut noté "1" et un état bas noté "0". A chaque état correspondra un potentiel électrique. A l'état "1" correspond un potentiel d'alimentation haut Vdd et à l'état "0" correspond un potentiel d'alimentation bas Vss. Le seuil entre l'état bas et l'état haut correspondra à un potentiel moyen $(Vdd - Vss) / 2 = Vdd / 2$, en considérant que $Vss = 0$ volt.

Le signal Ck1 est fourni à un ensemble de N circuits logiques montés en série, N nombre entier. Ces circuits reçoivent au moins un signal logique d'entrée et produisent au moins un signal logique de sortie. On choisira ces circuits de telle sorte qu'une transition d'état dans le signal d'entrée reçu par ces circuits entraîne une transition d'état dans le signal de sortie produit par ces circuits.

De préférence, on choisira des circuits logiques identiques, de sorte que le délai de traversée des circuits logiques soit le même pour tous les circuits logiques. Par délai de traversée, on entend le délai entre le moment où se produisent des transitions d'état dans les signaux logiques d'entrée et le moment où apparaît la répercussion de ces transitions sur les états des signaux logiques de sortie. En notant dg le délai de traversée d'un circuit logique, le délai de traversée des N circuits logiques sera égal à $N * dg$.

Dans l'exemple, les N circuits logiques sont des inverseurs G1, G2, ... GN-1, GN. Ils comprennent une entrée et une sortie. Le premier inverseur G1 reçoit un signal logique d'entrée S0 et produit un signal logique S1. Les entrées des inverseurs Gi, avec i indice variant de 2 à N, sont reliées aux sorties des inverseurs Gi-1 et produisent des signaux logiques Si.

Le signal S0 est fourni par un multiplexeur 9 comprenant deux entrées. Le multiplexeur 9 reçoit les signaux Ck1 et SN sur ses entrées. Il est commandé par un signal logique de commande Loop reçu sur une entrée de commande 11 du circuit 1. On supposera que $S0 = Ck1$ si $Loop = 0$ et que $S0 = SN$ si $Loop = 1$.

Comme on le verra par la suite, l'emploi du multiplexeur 9 permet de calculer un délai relatif entre les signaux Ck1 et Ck2, lorsque $S0 = Ck1$, ou de calculer le délai de traversée unitaire des inverseurs montés en série, lorsque $S0 = SN$.

Le circuit 1 comprend des moyens d'échantillonnage des signaux S0, S1, S2 ... SN produits par les inverseurs. Ces moyens d'échantillonnage comprennent, dans l'exemple décrit, des bascules de type D. Chaque bascule comprend une entrée de donnée D, une sortie de donnée Q et une entrée de commande. On supposera que

l'échantillonnage se produit sur front montant dans le signal de commande reçu par les bascules.

De préférence, on utilisera $N + 1$ bascules $L_0, L_1, L_2, \dots, L_N$, pour recevoir, respectivement, les signaux $S_0, S_1, S_2, \dots, S_N$ sur leur entrée de donnée. On note $Q_0, Q_1, Q_2 \dots Q_N$ les signaux produits sur les sorties Q des bascules. Ces bascules seront
5 utilisées soit pour échantillonner les signaux S_i produits par les inverseurs G_i , soit comme charge de sortie d'une partie des inverseurs.

Les entrées de commande des bascules utilisées pour échantillonner reçoivent le signal Ck_2 . Les bascules utilisées comme charge de sortie, tel la bascule L_{N-1} de la figure 1, pourront ne pas recevoir de signal de commande ou bien recevoir un signal
10 de commande inactif, d'état constant.

On pourrait choisir d'échantillonner les N signaux produits par les N inverseurs. Dans l'exemple décrit, ce n'est pas le cas. Cela dépendra de la précision recherchée dans la détermination des délais. Plus le nombre de signaux échantillonnés est
15 important, plus la détermination des délais sera précise.

On pourrait, si le nombre de signaux échantillonnés est inférieur à N , ne pas placer de bascule en sortie des inverseurs produisant les signaux qui ne sont pas pris en compte. On pourrait alors introduire une différence entre les délais de traversée des inverseurs produisant les signaux échantillonnés et les autres inverseurs. En effet, ces
20 délais de traversée sont déterminés à la fois par la constitution interne des circuits logiques utilisés, mais également par la charge que voient ces circuits sur leur sortie. En plaçant des bascules, non utilisées pour la détermination des délais, en sortie des inverseurs produisant des signaux non échantillonnés, on minimise les différences entre les délais de traversée des N inverseurs. En effet, les inverseurs G_1 à G_{N-1} supportent
25 alors une charge équivalente sur leur sortie, cette charge étant formée par l'entrée de l'inverseur suivant et par l'entrée de donnée de la bascule associée à chaque inverseur.

Les sorties de donnée des bascules qui sont utilisées pour échantillonner les signaux produits par les inverseurs sont reliées à un circuit de traitement 13. Les sorties des autres bascules, utilisées comme charge de sortie des inverseurs, ne sont
30 pas reliées. Il en est ainsi de la bascule L_{N-1} , dans l'exemple illustré sur la figure 1.

Le circuit de traitement produit le signal Delay à partir des signaux $Q_1, Q_2 \dots Q_N$ reçus. Ce signal Delay sera représentatif de la position d'un front qui s'est propagé. Cette position est représentative du décalage temporel entre des fronts dans les signaux Ck_1 et Ck_2 et permet donc facilement, à un appareil de test ou à un
35 processeur interne, de déterminer un décalage temporel entre ces signaux.

L'objet du circuit de traitement est de minimiser le nombre de signaux produits en sortie du circuit 1. En effet, on pourrait fournir, sur des sorties, tous les signaux produits par les bascules. Cela peut amener en pratique à utiliser un nombre de sorties trop important. L'utilisation d'un circuit de traitement permet de minimiser ce nombre de sorties. Ce circuit pourra être, par exemple, un circuit codant en hexadécimal la donnée formée par les différents signaux reçus des bascules. On pourra aussi, par exemple, utiliser un circuit de traitement opérant une conversion parallèle - série.

On va maintenant décrire le fonctionnement du circuit 1. On donnera également un exemple de circuit de traitement, en langage VHDL.

Les figures 2a, 2b, 2c et 2d illustrent des chronogrammes des signaux Ck1, S1, S2 et Ck2.

1 - Détermination du retard entre Ck1 et Ck2.

On va tout d'abord considérer l'hypothèse où le multiplexeur 9 fournit le signal Ck1 à l'entrée du premier inverseur G1. On considérera que le délai de traversée du multiplexeur 9 est négligeable, autrement dit qu'on a $S0 = Ck1$.

Supposons que les signaux $Ck1 = S0$ et Ck2 sont initialement à l'état "0". Les signaux S1 et S2 sont alors, respectivement, à l'état "1" et à l'état "0".

Supposons qu'à un instant $t = t0$, une transition positive apparaisse dans le signal Ck1. Ce signal va passer de l'état "0" à l'état "1" à un instant $t1$ correspondant au moment où le signal Ck1 atteint la valeur $Vdd / 2$.

Suite à l'apparition de la transition positive dans le signal Ck1, l'inverseur G1 va produire une transition négative dans le signal S1, avec un retard dgb . A l'instant $t0 + dgb$, le potentiel du signal S1 va chuter pour atteindre, à l'instant $t2 = t1 + dgb$, la valeur $Vdd / 2$. A cet instant, l'état du signal S1 passe de "1" à "0".

Suite à l'apparition de la transition négative dans le signal Ck1, l'inverseur G2 va produire une transition positive dans le signal S2, avec un retard dgh . A l'instant $t0 + dgb + dgh$, le potentiel du signal S2 va augmenter pour atteindre, à l'instant $t2 + dgh$, la valeur $Vdd / 2$. A cet instant, l'état du signal S2 passe de "0" à "1".

Entre les instants $t1$ et $t2 = t1 + dgb$, compte tenu d'un temps de traversée non nul des inverseurs, on aura simultanément $Ck1 = 1$ et $S1 = 1$. De même, entre les instants $t2$ et $t2 + dgh$, on aura simultanément $S1 = 0$ et $S2 = 0$.

La transition initiale va ainsi se propager dans la chaîne d'inverseurs, les inverseurs ayant, successivement, durant un laps de temps égal à leur délai de traversée, des signaux d'entrée et de sortie dans le même état logique.

De même, Supposons qu'à un instant $t = t_3$, une transition négative apparaisse dans le signal Ck1. Ce signal va passer de l'état "1" à l'état "0" à un instant t_4 correspondant au moment où le signal Ck1 atteint la valeur $V_{dd} / 2$.

5 Suite à l'apparition de la transition négative dans le signal Ck1, l'inverseur G1 va produire une transition positive dans le signal S1, avec un retard dgh. A l'instant $t_3 + dgh$, le potentiel du signal S1 va augmenter pour atteindre, à l'instant $t_5 = t_4 + dgb$, la valeur $V_{dd} / 2$. A cet instant, l'état du signal S1 passe de "0" à "1".

10 Suite à l'apparition de la transition positive dans le signal S1, l'inverseur G2 va produire une transition négative dans le signal S2, avec un retard dgb. A l'instant $t_3 + dgh + dgb$, le potentiel du signal S2 va diminuer pour atteindre, à l'instant $t_5 + dgb$, la valeur $V_{dd} / 2$. A cet instant, l'état du signal S2 passe de "1" à "0".

Entre les instants t_4 et $t_5 = t_4 + dgh$, compte tenu d'un temps de traversée non nul des inverseurs, on aura simultanément $Ck1 = 0$ et $S1 = 0$. De même, entre les instants t_5 et $t_5 + dgb$, on aura simultanément $S1 = 1$ et $S2 = 1$.

15 On remarquera que l'on a considéré deux délais de traversée, dgh et dgb, selon que le signal d'entrée des inverseurs est affecté d'une transition positive ou d'une transition négative. En pratique, les inverseurs sont généralement dimensionnés pour que ces délais soient équivalents et l'on supposera, pour simplifier, qu'ils sont égaux et que l'on a $dg = dgb = dgh$.

20 Supposons qu'un front montant apparaisse dans le signal Ck2, à un instant $t_0 + dck$. On va mémoriser les états des signaux S0, S1, S2 ... SN qui sont échantillonnés, à un instant t_L proche de l'instant $t_0 + dck$. On pourra considérer que cet instant t_L correspond à l'instant où le potentiel du signal Ck2 atteint la valeur $V_{dd} / 2$.

25 Si t_L est antérieur à t_1 , les signaux en entrée et en sortie des inverseurs auront des états complémentaires. Si on échantillonne les signaux S0, S1, S2 et S3, on obtiendra la configuration 0 - 1 - 0 - 1. Si t_L est entre les instants t_1 et $t_2 = t_1 + dg$, alors on obtiendra la configuration 1 - 1 - 0 - 1. Si t_L est entre les instants t_2 et $t_2 + dg$, on obtiendra la configuration 1 - 0 - 0 - 1. Si t_L est entre les instants $t_2 + dg$ et $t_2 + (2 * dg)$, on obtiendra la configuration 1 - 0 - 1 - 1, et ainsi de suite.

30 Au délai $dt = (t_1 - t_0 + dg)$ près, on connaît donc le délai entre les fronts montants dans les signaux Ck1 et Ck2. On pourra supposer que cela est également vrai pour les fronts descendants. Sinon, on pourra dupliquer les bascules et commander celles-ci par l'inverse du signal Ck2, où bien encore utiliser des bascules ayant des entrées de commande sensibles à des fronts descendants.

35 La détermination du délai entre les transitions dans les signaux Ck1 et Ck2 pourra être par exemple utilisée pour piloter la production de ces signaux, s'il existe un

lien de causalité ou un lien fonctionnel entre ces signaux. Ainsi, si le signal Ck2 est produit à partir du signal Ck1, on pourra augmenter ou diminuer de manière précise le retard du signal Ck2 par rapport au signal Ck1, par exemple en utilisant des circuits à retard de longueur variable.

5 Si ces signaux sont fournis par un dispositif externe, tel qu'un appareil de test, on pourra évaluer l'impact des délais entre ces signaux sur le fonctionnement du circuit testé. Ainsi, les signaux Ck1 et Ck2 pourront être par exemple des signaux d'adresse et de donnée d'une mémoire. On pourra également étudier, par exemple, les retards introduits entre ces signaux entre le moment où ils sont fournis au circuit testé et le moment où ils sont fournis à des noeuds internes donnés du circuit testé.

10 On remarquera que le délai mesuré entre les signaux Ck1 et Ck2 est un délai relatif, mesuré par rapport aux fronts du signal Ck1, et exprimé en nombre d'inverseurs traversés. Or, le temps de traversée d_g des inverseurs peut être variable, par exemple en fonction de la tension d'alimentation ou de la température ambiante. Comme on va le voir, le circuit 1 illustré permet de produire un signal représentatif de ce délai d_g .

2 - Détermination de d_g .

On va maintenant considérer l'hypothèse où $\text{Loop} = 1$. Le multiplexeur 9 fournit le signal SN à l'entrée du premier inverseur G1. On considérera que le délai de traversée du multiplexeur 9 est négligeable, autrement dit qu'on a $S_0 = \text{SN}$.

20 Si N est impair, on va réaliser un oscillateur en anneau dont la fréquence de fonctionnement sera égale à $1 / (N * d_g)$. De même que dans le cas précédent on va assister à la propagation d'un front dans la chaîne d'inverseurs, à la seule différence que cette propagation va être entretenue par les inverseurs tant que ceux-ci forment une boucle.

25 Lorsque que N est impaire et que $S_0 = \text{SN}$, on peut déterminer la valeur de d_g , et cela de plusieurs manières.

On peut, par exemple, utiliser un diviseur de fréquence pour produire un signal d'horloge de fréquence inférieure à la fréquence du signal produit par la chaîne d'inverseurs. Ainsi, sur la figure 1, on a disposé un circuit diviseur de fréquence 15 recevant le signal SN et produisant un signal Sout sur une sortie 15. L'utilisation d'un circuit diviseur de fréquence permet de produire un signal de fréquence compatible avec la bande passante d'un appareil de test et / ou la fréquence des plots d'entrée / sortie d'un circuit intégré comprenant le circuit 1, si la fréquence $1 / (N * d_g)$ ne l'est pas dans certaines conditions. On ne décrira pas en détail le circuit diviseur de fréquence, ce type de circuit étant bien connu de l'homme de l'art.

On peut également prévoir, dans le circuit de traitement 13, un système de détermination de la fréquence d'oscillation, en utilisant deux échantillonnages successifs dans les bascules et en divisant le délai entre les échantillonnages par le nombre d'inverseurs traversés. Il convient alors, bien entendu, de prévoir un délai entre les échantillonnages qui soit inférieur à la durée minimale estimée de propagation de l'oscillation dans l'ensemble de la chaîne. Cette méthode ne permet pas, à l'inverse de la première, de mesurer directement la valeur absolue du temps de traversée.

Si on ne souhaite pas déterminer la valeur d_g , on n'utilisera pas de multiplexeur 9 et on fournira directement le signal $Ck1$ à l'entrée de l'inverseur $G1$. Dans ce cas, comme les transitions ne sont pas créées dans le circuit 1, on pourra utiliser un nombre N pair de circuits logiques dans la chaîne.

Le circuit 1 pourra être un circuit - test, c'est-à-dire être réalisé dans un but de validation de conception et/ou de technologie. Dans ce cas, les signaux $Ck1$ et $Ck2$ pourront être des signaux fournis par un appareil de test. Connaissant le délai entre ces signaux, l'appareil de test pourra déterminer le temps de traversée des inverseurs, en divisant ledit délai par le nombre d'inverseurs traversés. On pourra tester l'évolution de ce temps de traversée en fonction des variations de fabrication et/ou de fonctionnement, et déterminer ainsi les valeurs extrêmes et typiques de ce temps de traversée.

Ce pourra être également un circuit destiné à la vente et dans lequel on produit un signal $Ck2$ à partir d'un signal $Ck1$, et pour lequel on souhaite disposer d'un moyen de contrôle de la production du signal $Ck2$. Ce pourra être également un circuit destiné à la vente et dans lequel on souhaite vérifier, après fabrication, des valeurs de caractéristiques telles que le temps de traversée de portes logiques.

3 - Circuit de traitement.

Pour ce qui concerne l'exemple de réalisation du circuit de traitement 13, on en donnera une description fonctionnelle, en langage VHDL :

Dans l'exemple ci-dessous, le circuit de traitement est un circuit de codage qui permet, à partir de 32 signaux reçus, de produire un signal de sortie formé de 5 signaux. Pour cela, on code en hexadécimal la valeur binaire formée par les 32 signaux reçus, ce qui permet de diminuer fortement le nombre de sorties du circuit.

```
library IEEE, synopsys;
```

```
use IEEE.std_logic_1164.all; use IEEE.std_logic_arith.all
```

```
entity dec is
```

```
port ( INQ : In std_logic_vector (31 downto 0) ;
```

```
Delay : Out std_logic_vector (4 downto 0)) ;
```

```

end dec ;
architecture behavioral of dec is
begin
  process (INQ)
5    variable RES : natural := 31 ;
    variable found : boolean := false ;
    begin
      RES := 31 ;
      found := false ;
10     for I in 31 downto 1 loop
        if INQ (i) = INQ(i - 1) then found := true ; exit ;
        else RES := RES - 1 ;
        end if ;
      end loop ;
15     if found then Delay <= CONV_STD_LOGIC_VECTOR (RES, 5) ;
        else Delay <= "00000" ;
        end if ;
    end process ;
  end behavioral ;
20  Entre les lignes "entity dec" et "end dec", on définit les signaux logiques reçus
  (INQ) par le circuit 13 et les signaux produits (Delay) par le circuit 13. Ces signaux
  sont des vecteurs formés de plusieurs signaux logiques.

  On considérera que le circuit 13 reçoit un vecteur INQ formé de 32 signaux
  logiques et fournit un signal de sortie Delay qui est un vecteur formé de 5 signaux
25  logiques.

  Entre les lignes "architecture behavioral ..." et "end behavioral" on décrit le
  fonctionnement souhaité pour le circuit 13. On définit, en premier lieu, des signaux
  logiques internes au circuit 13 qui sont utilisés pour produire le vecteur Delay fourni
  en sortie par ce circuit.

30  On va utiliser un indice naturel RES et une variable booléenne Found.

  Initialement, on initialise RES à 31 et on a Found = 0. On compare INQ (i) et
  INQ(i-1), pour i compris entre 31 et 1. Dès que l'on a INQ(i) = INQ(i-1) on a trouvé
  l'inverseur pour lequel les signaux d'entrée et de sortie étaient dans le même état lors
  de l'échantillonnage. On positionne alors la variable Found à 1 et l'on convertit le
35  nombre RES en hexadécimal. Sinon, on décrémente l'indice RES. Si, pour i = 1, on a
  INQ(i) différent de INQ(i-1) alors, par défaut, on a Delay = 00000.

```

Bien entendu, des modifications pourront être apportées par l'homme du métier sans sortir du cadre de l'invention.

Ainsi, on pourra utiliser des portes logiques de type différent que les inverseurs. On pourra aussi modifier les polarités des différents signaux produits et adapter les circuits décrits en conséquence.

5

On pourra bien sûr disposer de circuits de mesure fonctionnant parallèlement, par exemple si l'on souhaite mesurer les temps de traversée de différents types de portes logiques et /ou si l'on souhaite mesurer plusieurs délais entre différents signaux logiques.

REVENDICATIONS

1 - Procédé pour mesurer un décalage temporel entre des fronts dans des premier et deuxième signaux logiques (Ck1, Ck2) caractérisé en ce qu'il comprend les étapes suivantes :

- 5 - fournir le premier signal logique (Ck1) à un ensemble de portes logiques montées en série, de sorte à propager un front dans l'ensemble de portes logiques lorsqu'un front apparaît dans le premier signal logique, et
- lorsqu'un front apparaît dans le deuxième signal logique, échantillonner des signaux produits par ces portes logiques,
- 10 - déterminer, dans les signaux échantillonnés, la position du front qui s'est propagé, cette position étant représentative du décalage temporel entre les fronts dans les premier et deuxième signaux logiques.

2 - Procédé selon la revendication 1, caractérisé en ce qu'il comprend une étape de rebouclage de tout ou partie des portes logiques pour former un oscillateur en anneau et produire un signal oscillant (Sout) dont la fréquence est représentative d'un
15 temps de traversée unitaire de ces portes logiques.

3 - Circuit (1) pour mesurer un décalage temporel entre des fronts dans des premier et deuxième signaux logiques (Ck1, Ck2), caractérisé en ce qu'il comprend :

- 20 - un ensemble de N portes logiques (G1, G2, ... , GN) montées en série, N étant un nombre entier, lesdites portes logiques comprenant au moins une entrée pour recevoir un signal logique d'entrée et une sortie pour produire un signal logique de sortie dont l'état est représentatif de l'état du signal d'entrée, ledit ensemble recevant le premier signal logique et,

- 25 - des moyens d'échantillonnage (L0, L1, ... LN) reliés aux sorties des portes logiques pour échantillonner tout ou partie des signaux logiques produits en sortie des portes logiques, l'échantillonnage étant piloté par le deuxième signal logique.

4 - Circuit selon la revendication 3, caractérisé en ce que des moyens d'échantillonnage sont reliés aux sorties de toutes les portes logiques, de sorte que toutes les portes logiques supportent une charge équivalente sur leur sortie, que les signaux produits par ces portes soient échantillonnés ou non.

30 5 - Circuit selon l'une des revendications 3 ou 4, caractérisé en ce qu'il comprend des moyens de multiplexage pour fournir, à la chaîne de portes logiques, le premier signal (Ck1) ou l'un des signaux de sortie (SN) produits dans la chaîne, de sorte à pouvoir former un oscillateur en anneau par rebouclage d'un nombre impair de portes logiques.

6 - Circuit selon la revendication 5 caractérisé en ce qu'il comprend un circuit diviseur de fréquence (13) pour produire un signal oscillant de sortie (Sout) lorsque l'on forme un oscillateur en anneau, ledit signal oscillant étant produit en divisant la fréquence d'un signal oscillant (SN) produit par l'oscillateur en anneau.

5 7 - Circuit selon l'une des revendications 3 à 6, caractérisé en ce qu'il comprend un circuit de traitement (13) pour produire un signal de sortie (Delay) à partir des signaux échantillonnés, ce circuit de traitement étant agencé de sorte à minimiser le nombre de signaux de sortie du circuit (1).

10 8 - Circuit selon la revendication 7, caractérisé en ce que le circuit de traitement est un circuit de codage comprenant des moyens pour déterminer la position d'un motif représentatif du décalage temporel à déterminer et pour coder cette position en logique hexadécimale.

9 - Circuit selon la revendication 7, caractérisé en ce que le circuit de traitement est un circuit de conversion parallèle - série.

15 10 - Circuit selon l'une des revendications 3 à 9, caractérisé en ce que les moyens d'échantillonnage comprennent des bascules de type D ayant une entrée de commande pour recevoir le deuxième signal logique.

11 - Circuit selon l'une des revendications 3 à 10, caractérisé en ce que les portes logiques sont des inverseurs.

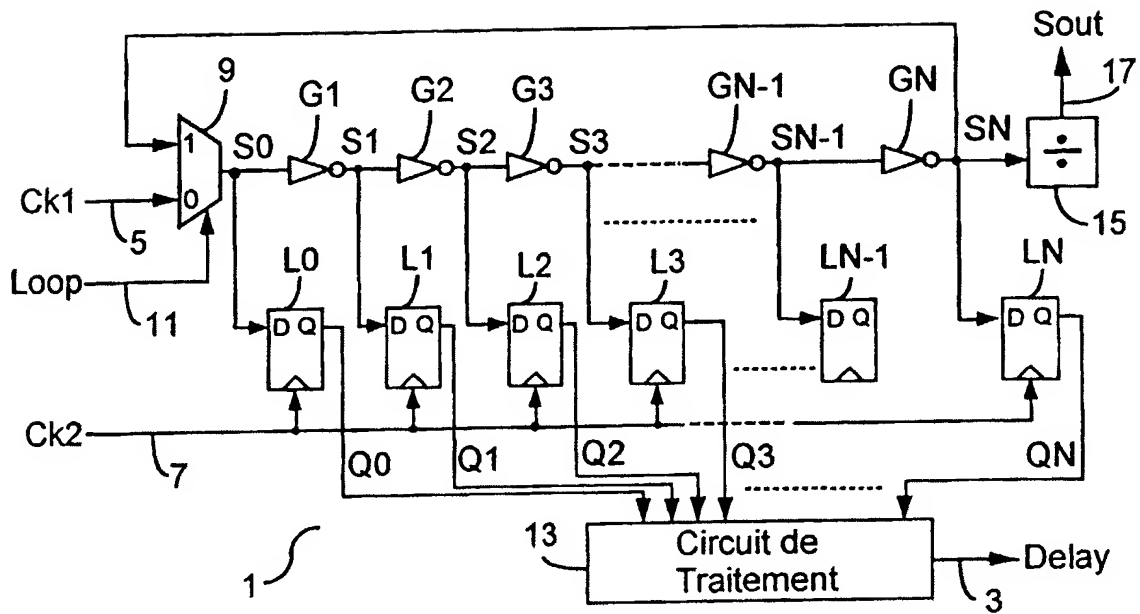


FIG. 1

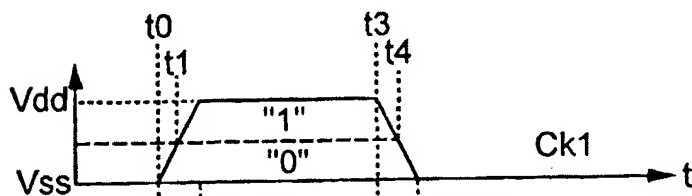


FIG. 2a

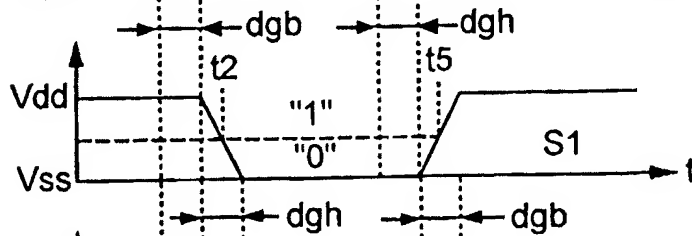


FIG. 2b

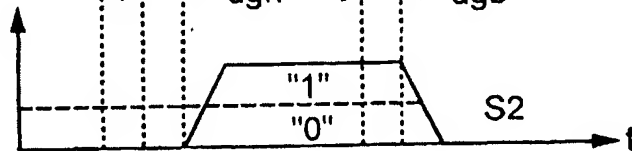


FIG. 2c

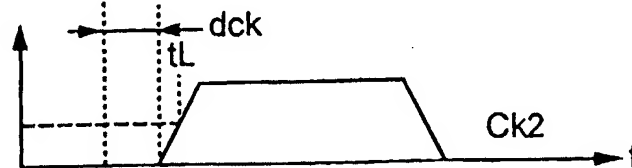


FIG. 2d

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2768575

N° d'enregistrement
national

FA 549034
FR 9711610

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US 4 618 788 A (BACKES REINER ET AL) 21 octobre 1986	1,3,4,7, 10,11
Y	* le document en entier *	2,8,9
X	EP 0 553 744 A (KONISHIROKU PHOTO IND) 4 août 1993	1,3,4
	* le document en entier *	
X	US 5 272 390 A (WATSON JR RICHARD B ET AL) 21 décembre 1993	1,3,4
	* le document en entier *	
X	US 4 814 879 A (MCNEELY DAVID L) 21 mars 1989	1,3,4
	* le document en entier *	
Y	EP 0 639 004 A (ADVANCED MICRO DEVICES INC) 15 février 1995	8,9
	* abrégé; figures 1,2 *	
Y	EP 0 392 653 A (PLESSEY OVERSEAS ;PLESSEY TELECOMM (GB)) 17 octobre 1990	2
A	* figures 3,4 *	6
A	US 5 146 478 A (DRAGOTIN ALEXANDER) 8 septembre 1992	
A	US 4 977 582 A (NICHOLS ROBERT K ET AL) 11 décembre 1990	
Date d'achèvement de la recherche		Examineur
15 mai 1998		Segaert, P
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intermédiaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

1

EPO FORM 1503 (03.92) (P04C13)